

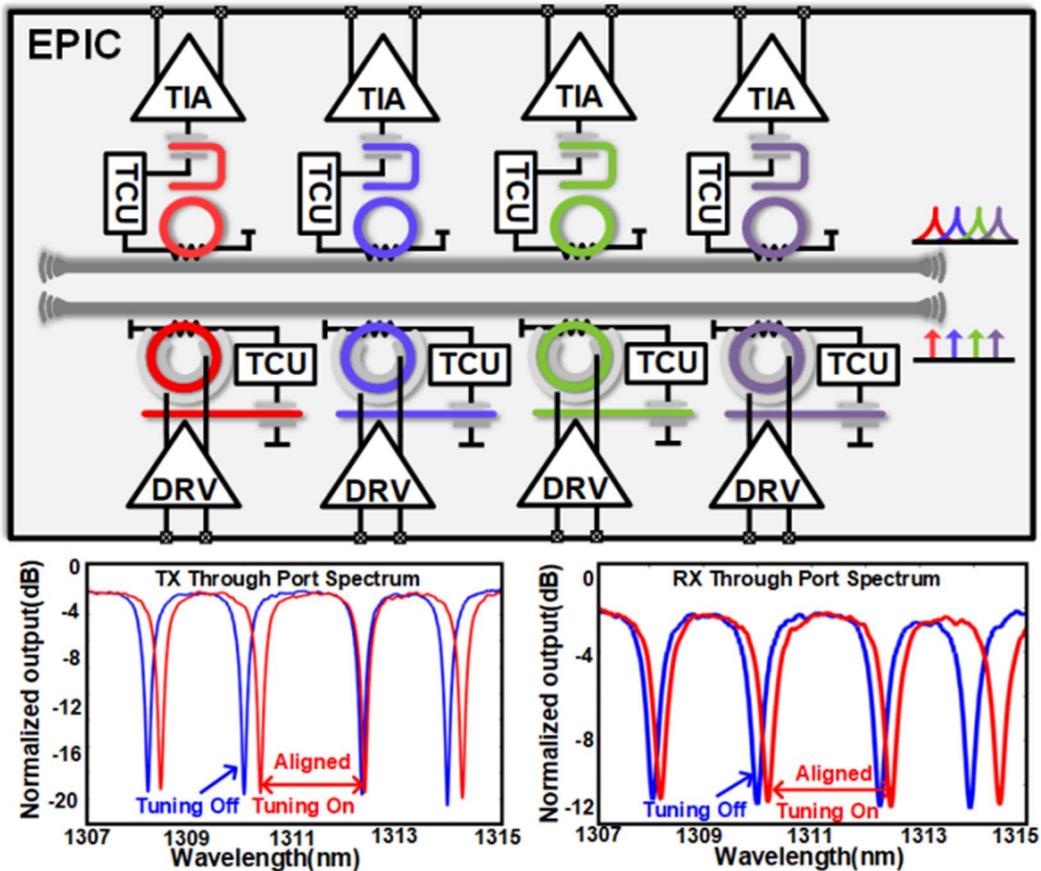
# A-SSCC 2024 Review

서울대학교 전기정보공학부 박사과정 박현준

## Session 22 Advanced Wireline Transceivers

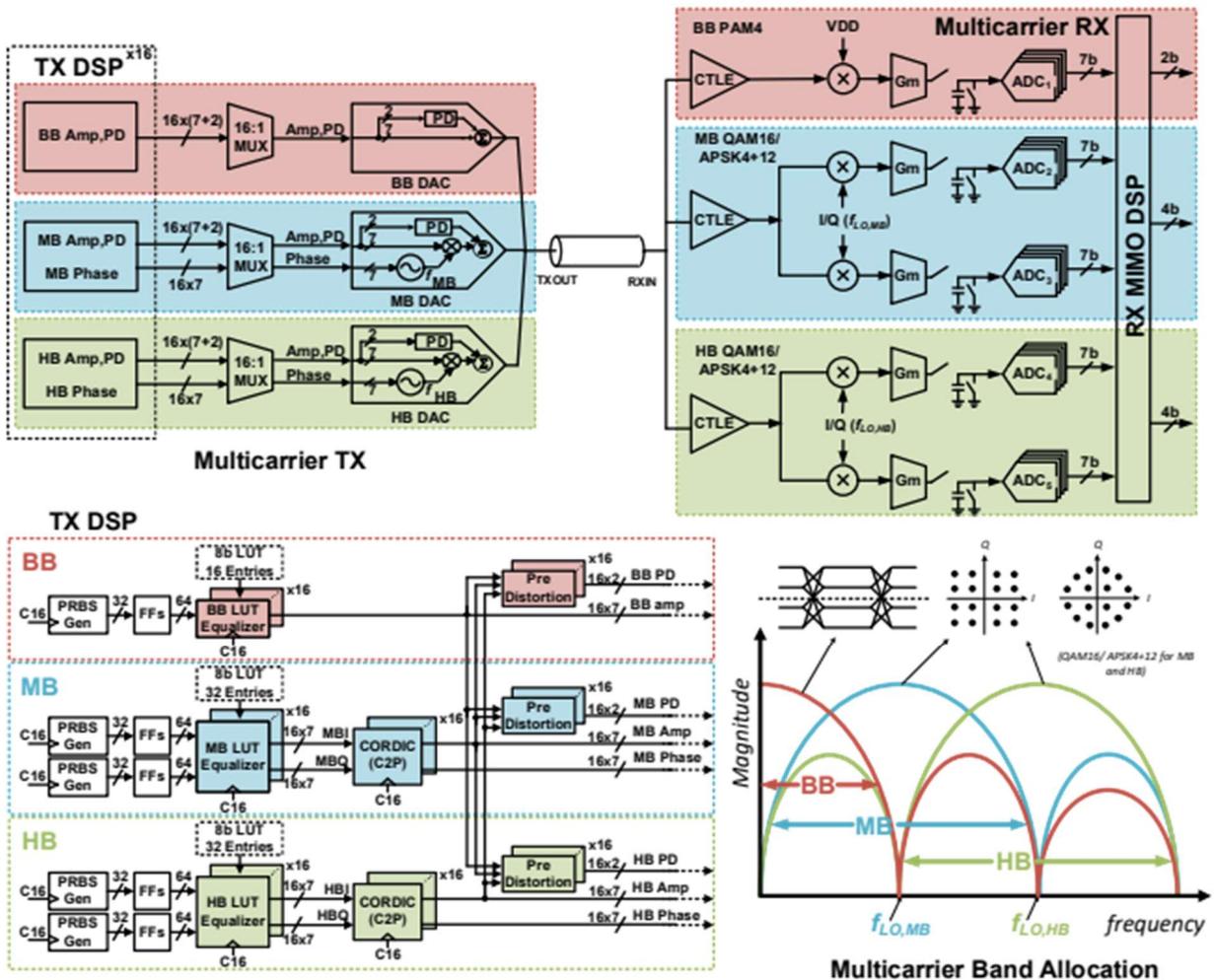
이번 ASSCC 2024의 Session 22에서는 High-Speed Wireline Transceivers에 관련된 4편의 논문이 발표되었다. 이 중 2편의 논문(#22-1, #22-2)은 고속 데이터 전송에서의 에너지 효율과 신뢰성을 극대화하기 위한 설계 기술에 대해 다루었다.

#22-1 이 논문은 중국 반도체 연구소에서 발표한 연구로, 45nm SOI-CMOS 공정을 이용해 200Gb/s 전송 속도와 3.5pJ/bit의 에너지 효율을 달성한 WDM 실리콘 포토닉 트랜시버를 제안했다. 하이브리드 방식의 기생 효과를 줄이기 위해 광학 및 전자 회로를 단일 칩에 통합했으며, 비대칭 구동단과 TIA 설계를 통해 높은 삽입 손실에서의 비선형 반응을 완화하고 대역폭 손실을 보완하여, 50Gb/s에서 2pJ/bit, 64Gb/s에서 1.6pJ/bit의 에너지 효율을 기록했으며, 기존 방식 대비 우수한 속도와 효율을 보여줍니다.



[그림 1] OTRX 시스템 Diagram 및 TRX TP 스펙트럼 측정결과

#22-2 은 텍사스 A&M 대학교와 광주과학기술원(GIST)에서 발표한 논문으로, 56Gbps 속도와 7.82pJ/bit의 에너지 효율을 달성한 ADC/DAC 기반 다중반송파(Multicarrier) 트랜시버를 제안하였다. 40.8dB의 고손실 채널에서도 동작 가능한 RX MIMO-DSP를 설계하여 기존 방식 대비 우수한 지터 내성과 스펙트럼 효율을 제공했습니다. 트랜시버는 다중 반송파를 이용하여 진폭 및 위상 변조를 수행하며, 5.6GS/s의 낮은 대역폭에서 각 반송파를 처리함으로써 심볼 시간을 5배 늘리고 지터 내성을 향상시켰습니다. 송신단은 Polar DAC 기반으로 구성되어 PAM4와 QAM16, APSK4+12와 같은 변조를 지원하며, 수신단은 CTLE, 혼합기, 적분기 및 5.6GS/s ADC로 구성되어 채널 손실을 보정한다. RX MIMO-DSP는 ISI와 ICI를 FIR 필터로 제거하며, 필터 계수는 sign-sign LMS 알고리즘으로 학습한다. 측정 결과, 트랜시버는 1.21ps RMS 지터 조건에서도  $10^{-4}$ 의 BER을 유지했으며, baseband와 mid/high-band에서 각각 14mV의 전압 마진과 -18.28dB EVM을 달성했다. 56Gbps 전체 시스템은 438mW를 소모하며, 유사한 데이터 속도를 가진 기존 PAM4/DMT 기반 트랜시버보다 우수한 지터 내성과 에너지 효율을 보여준다.



[그림 2] 다중 캐리어 트랜시버 구조도

## 저자정보



### 박현준 박사과정 대학원생

- 소속 : 서울대학교
- 연구분야 : HBM, Chord Signaling, Information Theory
- 이메일 : spp098@snu.ac.kr
- 홈페이지 : <https://sites.google.com/view/wschoi?pli=1>

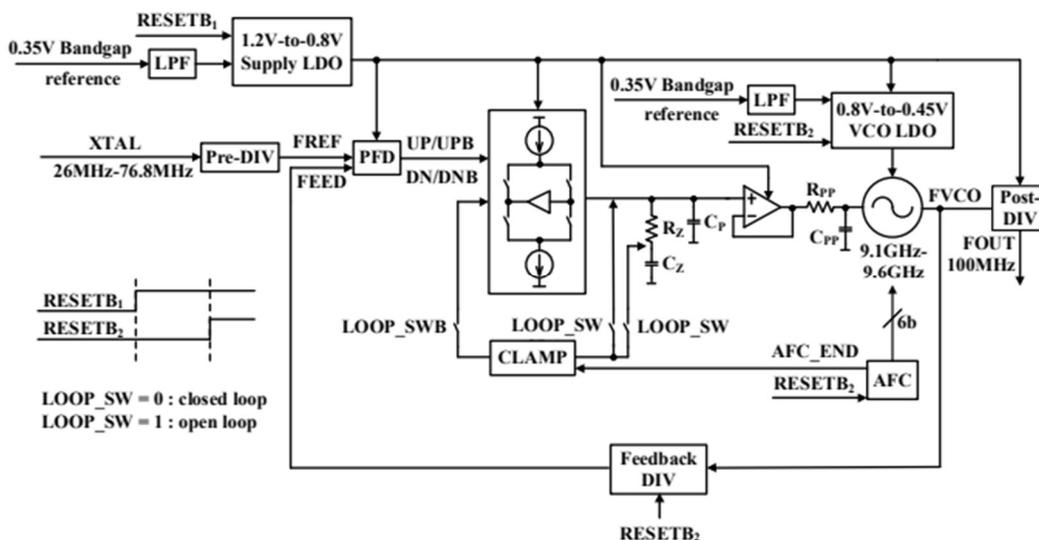
# A-SSCC 2024 Review

서울대학교 전기정보공학부 박사과정 박현준

## Session 26 Clocking and Memory Interfaces

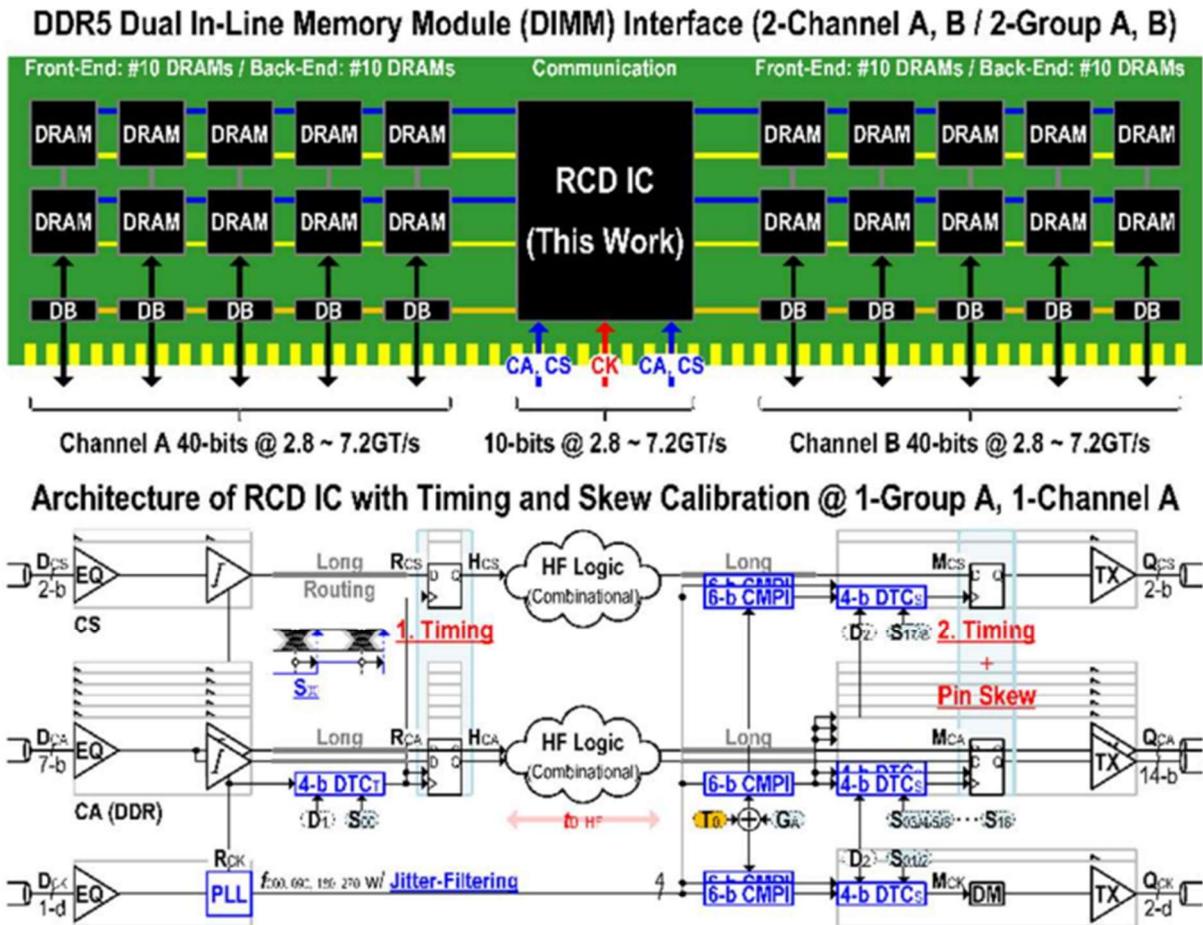
이번 ASSCC 2024의 Session 26에서는 Advanced Clocking 및 Memory Interface 기술에 관한 4편의 논문이 발표되었다. 이 중 2편의 논문(#26-1, #26-2)은 고속 데이터 전송과 클럭 안정성을 위한 PLL 및 DDR5 RCD IC 설계 기술을 다루었다.

**#26-1** 삼성반도체 인도연구소와 삼성전자 화성에서 발표한 논문으로, PCIe Gen6 레퍼런스 클럭 생성을 위해 설계된 저지터 PLL을 제안하였다. 2nm MBCFET 공정을 사용하여 -45°C에서 125°C까지의 온도 변화를 지원하며, 45-fsrms 누적 지터와 6μs의 빠른 락 타임을 달성했다. 기존 PCIe 시스템은 저지터 TXCO를 사용하지만, 높은 비용과 면적 요구 사항이 단점인데, 이를 해결하기 위해 저비용 온칩 PLL 설계를 제안하며, 1.2V 공급 전압에서 동작하는 아날로그 블록을 안정적으로 설계하기 위해 새로운 신뢰성 중심 아날로그 설계 기법과 고급 레이아웃 기술을 적용했다. 제안된 PLL은 저대역폭 설계를 통해 PCIe 규격 내에서 지터 피킹을 방지하며, LC-VCO를 사용해 플리커 노이즈를 줄이고 지터 성능을 개선했다. 또한, 공급 노이즈로 인한 deterministic 지터를 완화하기 위해 2단 Cascaded 레귤레이터 구조를 도입했다. 빠른 락 타임을 위해 24 FREF 사이클 만에 0.17%의 해상도를 달성하는 bang-bang AFC 기법을 적용하여 기존 방식보다 25배 빠른 성능을 구현했습니다. 측정 결과, 제안된 PLL은 100MHz에서 ±4%의 세밀한 튜닝 범위와 ±2%의 온도에 따른 주파수 변화를 지원하며, 기존 연구 대비 뛰어난 전력, 면적, 및 성능 지수를 보여주었다.



[그림 2] 제안된 Low jitter PLL

#26-2 삼성전자와 MIT에서 발표한 논문으로, DDR5 DIMM에서 사용되는 7.2GT/s 레지스터링 클럭 드라이버(RCD) IC 설계에서 고속 데이터 전송과 안정적인 동작을 위해 핀 간 스큐( $<\pm 1.6\text{ps}$ ) 및 병렬 데이터 타이밍을 보정하는 전략을 제안했다. 제안된 RCD IC는 28nm CMOS 공정을 기반으로 제작되었으며, PI-내장 PLL과 PVT 변화에 강한 DTC를 통해 DCK 입력의 지터( $4.72\text{psrms}$ )를  $0.20\text{psrms}$ 로 줄여 시스템 안정성을 크게 향상시켰다. 또한, A-DAC 기반 CMPI는 위상 및 진폭 왜곡을 보정해  $\text{INL}_{\text{p-p}}$ 를 1.06LSB로 개선하고,  $\pm 1.6\text{ps}$ 의 스큐 보정을 달성했다. 고속 논리와 TX를 위한 PI-오프셋 코드 및 DTC 기반의 2단계 스큐 보정은 DRAM의 요구사항을 만족시키는 정확한 데이터 전달을 보장한다. 측정 결과, 제안된 RCD IC는 3.6GHz에서 24배의 지터 감소를 달성했으며, DTC는  $0.24\text{mW/GHz}$ 의 우수한 에너지 효율과 높은 선형성을 보여줬다. 이를 통해, 차세대 DDR5 메모리 모듈의 신뢰성과 성능을 크게 향상시킨 인터페이스로 제안되었다.



[그림 2] 7.2GT/s RCD IC for a DDR5 DIMM interface

## 저자정보



### 박현준 박사과정 대학원생

- 소속 : 서울대학교
- 연구분야 : HBM, Chord Signaling, Information Theory
- 이메일 : spp098@snu.ac.kr
- 홈페이지 : <https://sites.google.com/view/wschoi?pli=1>